

JP 405021697 A
JAN 1993

(54) LEAD FRAME AND SEMICONDUCTOR DEVICE

(11) 5-21697 (A) (43) 29.1.1993 (19) JP

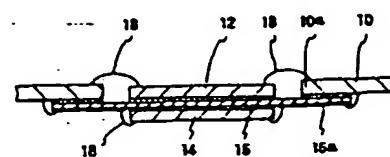
(21) Appl. No. 3-195698 (22) 10.7.1991

(71) SHINKO ELECTRIC IND CO LTD (72) KOICHI MURATA

(51) Int. Cl. H01L23/50, H01L25/065, H01L25/07, H01L25/18

PURPOSE: To enable a semiconductor device to be enhanced in mounting efficiency and effectively increased in number of leads by a method wherein semiconductor chips are mounted in a single package.

CONSTITUTION: In a lead frame having semiconductor chips on both sides, an inner lead connected to semiconductor chips 12 and 14 is composed of an advanced lead 10a whose tip is made to extend close to the outer edge of the mounting position of the semiconductor chips and a receding lead whose tip is located receding from the advanced lead 10a. The outer edge concerned is set trueing up with the tip of the receding lead, and a semiconductor conductor tape 16 provided with a relay conductor pattern 16a which joins the semiconductor chip to the above receding lead is provided in tension between the opposed advanced leads 10a.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-21697

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.⁵
H 01 L 23/50

識別記号

府内整理番号

F I

技術表示箇所

Y 9272-4M
W 9272-4M

25/065

25/07

7220-4M

H 01 L 25/08

Z

審査請求 未請求 請求項の数4(全5頁) 最終頁に続く

(21)出願番号 特願平3-195698

(22)出願日 平成3年(1991)7月10日

(71)出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舍利田711番地

(72)発明者 村田 浩一

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

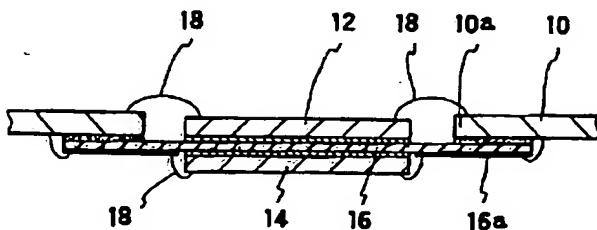
(74)代理人 弁理士 綿貫 隆夫 (外1名)

(54)【発明の名称】 リードフレーム及び半導体装置

(57)【要約】

【目的】 1つのパッケージに複数の半導体チップを搭載して半導体装置の実装効率を向上させ、リード本数を効果的に増やすことを目的とする。

【構成】 フレームの両面に半導体チップを搭載するリードフレームにおいて、半導体チップ12、14と接続するインナーリードを、半導体チップの搭載位置の外縁に接近する位置まで先端を出した前進リード10aと、該前進リードよりもリード先端位置を後退させた後退リードとによって構成し、外縁位置を前記後退リードの先端位置に合わせ、向かい合った前記前進リード10a間に、半導体チップと前記後退リードとの間を中継する中継導体バターン16aを有する中継導体テープ16を張設する。



退リードとの間を中継する中継導体パターンを有する中継導体テープを張設したことを特徴とする。また、前記リードフレームに半導体チップを搭載し、半導体チップと前記前進リードおよび前記後退リードとの間を電気的に接続し、半導体チップを樹脂封止してなることを特徴とする。

【0005】

【作用】中継導体テープの両面あるいはステージの両面に半導体チップをそれぞれ接合して支持し、一方の半導体チップと前進リードとを電気的に接続し、他方の半導体チップを後退リードに接続する。後退リードは半導体チップから離間して配置されるから中継導体パターンを介して半導体チップと接続する。後退リードはリード先端を半導体チップの搭載部分から離間して配置することにより、リード配置のための余裕スペースを確保することができ、リード本数を効果的に増やすことができる。

【0006】

【実施例】以下、本発明の好適な実施例を添付図面に基づいて詳細に説明する。図1は本発明に係るリードフレーム10に半導体チップ12、14を搭載した実施例を示す。本実施例のリードフレーム10は半導体チップを搭載するステージを有しないタイプのもので、中継導体テープ16をインナーリードの下面に張設して半導体チップを支持するよう構成している。図2はリードフレーム10に形成したインナーリードのパターンとインナーリードに中継導体テープ16を接合した平面配置を示す。インナーリードは、図2に示すように、半導体チップ12の外縁に接近する位置まで先端を延出させた前進リード10aと、前進リード10aよりも先端位置を後退させた後退リード10bとからなる。

【0007】前進リード10aの先端位置は従来のリードフレームに設けるインナーリードと同様でワイヤボンディングに要する間隔をあけて設定する。一方、後退リード10bはリード配置のためのスペースを確保するためリード先端を半導体チップの搭載位置から離して設定する。インナーリードの配置スペースは半導体チップの搭載位置に接近するにつれて徐々に狭くなってくる。このためインナーリードは先細形状に形成して、リード間のスペースをとっているが、インナーリードはその先端側できわめて高密度になる。上記の後退リード10bは前進リード10aよりも後退した位置でリードの延出を止めているから、リードの配置で余裕のある部分を利用することができ、すべてのインナーリードを半導体チップの外縁まで延出させた場合にくらべ、より多数本のリードを形成することができる。

【0008】図2に示す実施例では、前進リード10aと後退リード10bとを1つおきに配置しているが、必ずしも1つおきに配置しなければならないものではない。インナーリードの配置に応じて適宜配置でパターンを設定すればよい。前記中継導体テープ16は図2に示

すように、インナーリードのうち前進リード10aの下面に接合してリードフレームに支持し、後退リード10bと中継導体テープ16の外縁との間には若干の間隔を設ける。この間隔は実施例では中継導体テープ16と後退リード10bの先端間をワイヤボンディングによって接続するためである。後退リード10bに対するワイヤボンディング位置を先端位置よりも若干後退した位置に設定する場合には、中継導体テープ16の外縁が後退リード10bにかかるようにすることもできる。また、こ

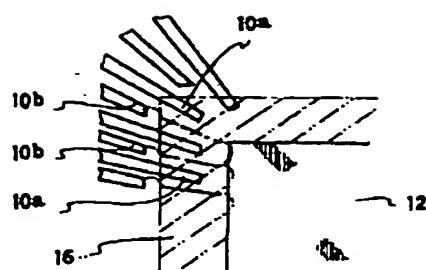
10 の実施例では中継導体テープ16と後退リード10bとの間をワイヤボンディングによって接続しているが、TABテープなどを接続する場合と同様に中継導体テープ16と後退リード10bとを直接接続する場合は、後退リード10bの先端位置まで中継導体テープ16の外縁部がかかるようにして中継導体テープ16をリードフレーム10に接合する。

【0009】図1に示すように、半導体チップ12は中継導体テープ16の上面に接合して支持し、ワイヤボンディングによって前進リード10aに接続する。18が20 ボンディングワイヤである。一方、半導体チップ14は中継導体テープ16の下面で半導体チップ12の反対側に接合し、ワイヤボンディングによって後退リードとの間の電気的接続をとる。中継導体テープ16の表面には中継導体パターン16aが形成されており、半導体チップ14と中継導体パターン16aとの間および中継導体パターン16aと後退リード10bとの間をそれぞれワイヤボンディングによって接続する。後退リード10aはその先端位置を下げることによって、配置スペースを確保して形成したものであり、中継導体パターン16aはこの後退リード10bと半導体チップ14との間を中継する役目を受け持っている。なお、インナーリードと半導体チップ12、14とを接続する場合、電源リードやアースリードについてそれぞれの半導体チップ12、14に共通にリードを接続してもかまわない。

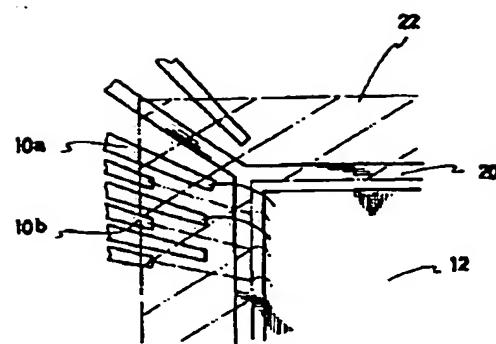
【0010】中継導体パターン16aと後退リード10bとを直接接続する場合は、この間のワイヤボンディングを省略することができる。中継導体テープ16はTABテープと同様に電気的絶縁性を有するフィルムに導体パターンを形成したものである。中継導体テープ16を40 後退リード10bに直接接続する場合は、ピアを介して中継導体パターン16aと後退リード10bとの電気的接続をとればよい。ピア端と後退リード10bとはバンプあるいは導電性樹脂等によって接続する。

【0011】上記のようにして半導体チップ12および半導体チップ14をリードフレーム10に搭載した後、半導体チップ12、14を樹脂封止して半導体装置を得る。この半導体装置は2つの半導体チップを搭載することで、従来の容量の半導体チップを使用して2倍の容量を有する半導体装置を得ることができる。また、2つの半導体チップを搭載することによる多ピン化に備えて、

【図2】



【図4】



フロントページの続き

(51) Int.Cl. 5
H 01 L 25/18

識別記号 庁内整理番号

F I

技術表示箇所